

대한민국특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0042462
Application Number PATENT-2002-0042462

출원년월일 : 2002년 07월 19일
Date of Application JUL 19, 2002

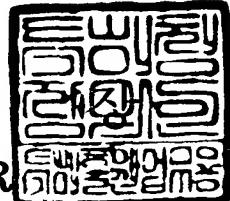
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003년 01월 10일

특허청

COMMISSIONER



【서지사항】

| | |
|------------|---|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0018 |
| 【제출일자】 | 2002.07.19 |
| 【국제특허분류】 | H01L |
| 【발명의 명칭】 | 반도체 소자의 STI 형성공정 |
| 【발명의 영문명칭】 | Method for forming Shallow Trench Isolation of semiconductor device |
| 【출원인】 | |
| 【명칭】 | 주식회사 하이닉스반도체 |
| 【출원인코드】 | 1-1998-004569-8 |
| 【대리인】 | |
| 【성명】 | 이후동 |
| 【대리인코드】 | 9-1998-000649-0 |
| 【포괄위임등록번호】 | 1999-058167-2 |
| 【대리인】 | |
| 【성명】 | 이정훈 |
| 【대리인코드】 | 9-1998-000350-5 |
| 【포괄위임등록번호】 | 1999-054155-9 |
| 【발명자】 | |
| 【성명의 국문표기】 | 박철환 |
| 【성명의 영문표기】 | PARK, Cheol Hwan |
| 【주민등록번호】 | 700820-1657331 |
| 【우편번호】 | 142-103 |
| 【주소】 | 서울특별시 강북구 미아3동 218-7 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 박동수 |
| 【성명의 영문표기】 | PARK, Dong Su |
| 【주민등록번호】 | 720511-1783411 |

| | |
|------------|--|
| 【우편번호】 | 467-020 |
| 【주소】 | 경기도 이천시 관고동 502-2번지 영우빌라 202호 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 이태혁 |
| 【성명의 영문표기】 | LEE, Tae Hyeok |
| 【주민등록번호】 | 710607-1010025 |
| 【우편번호】 | 467-850 |
| 【주소】 | 경기도 이천시 대월면 사동리 현대전자사원아파트 101-404 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 우상호 |
| 【성명의 영문표기】 | WOO, Sang Ho |
| 【주민등록번호】 | 650429-1914513 |
| 【우편번호】 | 467-704 |
| 【주소】 | 경기도 이천시 관고동 두산아파트 103-2102 |
| 【국적】 | KR |
| 【심사청구】 | 청구 |
| 【취지】 | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인) |
| 【수수료】 | |
| 【기본출원료】 | 19 면 29,000 원 |
| 【가산출원료】 | 0 면 0 원 |
| 【우선권주장료】 | 0 건 0 원 |
| 【심사청구료】 | 12 항 493,000 원 |
| 【합계】 | 522,000 원 |
| 【첨부서류】 | 1. 요약서·명세서(도면)_1통 |

【요약서】**【요약】**

본 발명은 반도체 소자의 소자분리막 형성방법에 관한 것으로, 보다 상세하게는 반도체 소자의 소자분리막 형성 공정 중 트랜치 측벽에 열 산화막을 증착한 다음 라이너 질화막을 증착하기에 앞서 NH_3 를 이용한 어닐링 (annealing) 처리를 수행함으로써 상기 산화막을 나이트리데이션 (nitridation)시켜 다양한 디펙트 소스로 작용할 수 있는 산화막과 라이너 질화막 사이의 계면 특성을 개선시킴으로써 궁극적으로는 소자분리막 형성에서 기인하는 소자의 열화를 방지하고자 하는 방법에 관한 것이다.

【대표도】

도 3d

【명세서】**【발명의 명칭】**

반도체 소자의 STI 형성공정 {Method for forming Shallow Trench Isolation of semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1e는 종래의 STI 형성공정을 나타낸 공정도.

도 2는 종래의 STI 형성공정에서 라이너 질화막 적용시 소자 수명의 변화를 나타낸 그래프.

도 3a 내지 도 1f는 본 발명의 STI 형성공정을 나타낸 공정도.

도 4는 본 발명의 NH_3 처리 적용 여부에 따른 리프레시 특성을 나타낸 도면.

도 5는 본 발명의 NH_3 처리 적용 여부에 따른 누설 전류를 나타낸 그래프.

< 도면의 주요부분에 대한 부호의 설명 >

10, 110 : 반도체 기판 12, 112 : 제1 산화막

14, 114 : 패드 질화막 16, 116 : 제2 산화막

18, 118 : 라이너 질화막 120 : 산화질화막

22, 122 : 매립 산화막 m1, m2 : 모트(moat) 부위

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<11> 본 발명은 반도체 소자의 소자분리막 형성방법에 관한 것으로, 보다 상세하게는 반도체 소자의 소자분리막 형성 공정 중 트랜치 측벽에 열 산화막을 증착한 다음 라이너 질화막을 증착하기에 앞서 NH_3 를 이용한 어닐링 (annealing) 처리를 수행함으로써 상기 산화막을 나이트리데이션 (nitridation)시켜 다양한 디펙트 소스 (defect source)로 작용할 수 있는 산화막과 라이너 질화막 사이의 계면 특성을 개선시킴으로써 궁극적으로는 소자분리막 형성에서 기인하는 소자의 열화를 방지하고자 하는 방법에 관한 것이다.

<12> 도 1은 종래기술에 따른 반도체소자의 소자분리막 형성방법을 설명하기 위한 도면이다.

<13> 반도체 기판(10) 상에 열 산화 (thermal oxidation)에 의해 제1 산화막(12)을 형성하고, 제1 산화막(12) 상부에 STI (Shallow Trench Isolation) 식각시 하드 마스크로 사용되는 패드 질화막(14)을 형성한다 (도 1a 참조).

<14> 그런 다음, 상기 패드 질화막(14)을 선택 식각한 후, 질화막 패턴을 하드마스크로 반도체 기판(10)을 식각하여 소자 분리 영역으로 예정된 부위에 트랜치를 형성한다 (도 1b 참조).

<15> 그런 다음, 식각된 반도체 기판(10)의 식각 대미지 (damage)를 제거하기 위하여 열 산화를 수행하여 제2 산화막(16)을 형성하고 (도 1c 참조), 이러한 결과물 전면에 라이너 질화막(18)을 형성한다 (도 1d).

<16> 상기 공정 이후에, 결과물 전면 매립 산화막(22)을 형성하고 평탄화하여 반도체 소자의 소자분리막을 형성한다 (도 1e 참조).

<17> 상기 도 1e에서 보여지는 바와 같이, 종래의 방법에 따른 소자분리막 형성공정에서 는 소자분리막 가장자리가 깊이 함몰되는 현상이 나타난다 (m1).

<18> 전술한 바와 같이, 최근 DRAM 소자의 STI 형성 공정에 있어서, 소자의 특성을 개선하기 위하여 트랜치 식각후 열 산화 (thermal oxidation) 공정에 의하여 실리콘 산화막 층을 형성한 다음 실리콘 질화막 필름으로 라이너 질화막 (liner nitride)을 사용하는 구조를 이용하고 있다. 이는 실리콘 질화막이 후속 공정에 의한 실리콘 기판의 산화를 방지하여 STI 프로파일을 개선함과 동시에 접합 (junction) 부위의 전기장 (electric field)을 감소시킴으로써 최종적으로는 리프레시 (refresh) 특성을 개선하여 반도체 소자의 수율 및 안정성을 증가시킨다.

<19> 그러나, 종래의 기술로 라이너 질화막을 사용한 STI를 형성할 경우 전술한 바와 같이 소자 분리막 가장자리가 함몰되는 모트 (moat) 현상이 발생하여 (도 1e 참조) 문턱 전압 (threshold voltage, V_t)을 감소시켜 누설 전류 (leakage current)를 증가시키고, STI 측벽의 실리콘 질화막 (라이너 질화막)과 열산화막의 계면 (interface)이 디펙트 소스로 작용하여, DRAM 소자를 조립한 후 번-인 테스트 (burn-in test)를 실시할 때 일종의 들뜬 상태의 전자인 핫 엘렉트론 (hot electron)을 잡아 놓게 된다 (trapping). 핫 엘렉트론은 낮은 전기장에도 여기되어 누설 전류의 소스로 작용하므로 PMOS 드레인 영역에 높은 전기장이 형성되어 채널 길이 (channel length)가 감소하고, 이에 따라 누설 전류를 증가시켜 기능 저하 (degradation)를 일으킨다. 이러한 현상을 핫 캐리어 데그레

데이션 (hot carrier degradation)이라 하는데, 이는 반도체 소자의 신뢰도 (reliability)에 치명적인 악영향을 미친다.

<20> 또한, STI 형성시 기존의 라이너 질화막을 적용할 경우 전술한 바와 같은 누설 전류에 의한 열화로 인하여, 반도체 소자의 수명 (lifetime)이 감소한다는 사실이 스트레스 테스트 (stress test) 결과 밝혀진 바 있다 (도 2 참조).

【발명이 이루고자 하는 기술적 과제】

<21> 상기와 같은 결점을 해결하기 위한 본 발명의 목적은 트랜치 측벽에 형성되어 있는 열 산화막과 라이너 질화막의 계면 특성을 향상시킬 수 있는 반도체 소자의 소자분리막 형성방법을 제공하는 것이다.

<22> 또한 본 발명의 다른 목적은 상기 방법에 의해 제조된 반도체 소자를 제공하는 것이다.

【발명의 구성 및 작용】

<23> 상기 목적을 달성하기 위하여 본 발명에서는

<24> 반도체 기판 상에 패드 산화막과 질화막을 차례로 형성하는 단계와,

<25> 상기 질화막을 선택 식각한 후, 질화막 패턴을 하드 마스크로 반도체 기판을 식각하여 소자 분리 영역으로 예정된 부위에 트랜치를 형성하는 단계와,

<26> 상기 트랜치의 표면에 열 산화막을 형성하는 단계와,

<27> 상기 결과물을 NH_3 분위기 하에서 어닐링 (annealing) 처리하여 상기 열 산화막 표면에 산화질화막을 형성하는 단계와,

<28> 상기 결과물 전면에 라이너 질화막을 형성하는 단계와,

<29> 상기 결과물 전면에 매립 산화막을 형성하는 단계와,

<30> 상기 결과물을 평탄화하는 단계를 포함하는 단계를 포함하는 반도체 소자의 소자분리막 형성방법을 제공한다.

<31> 상기 어닐링은 플라즈마 NH_3 나이트리데이션 (nitridation) 또는 열 (thermal) NH_3 나이트리데이션이며, 600~900°C 온도 범위 및 5 mTorr~200 Torr 압력 하에서 수행되는 것이 바람직하다.

<32> 또한, 상기 NH_3 처리 및 라이너 질화막 증착 공정은 인시튜 (in-situ), 인챔버 (in-chamber) 또는 클러스터 (cluster) 상태에서 수행되는 것이 바람직하다.

<33> 또한, 상기 라이너 질화막 증착 공정은 LPCVD (Low Pressure Chemical Vapor Deposition) 확산로 (furnace) 또는 LPCVD 단일 챔버 (single chamber) 내에서, 600~900°C 온도 범위 및 0.1~10 Torr 압력 하에서 수행되는 것이 바람직하다.

<34> 또한, 상기 라이너 질화막 증착 공정은, 실리콘 소스 가스로서 주로 SiH_4 , SiCl_4 또는 SiH_2Cl_2 를 사용하고, 질소 소스 가스로서 주로 NH_3 또는 N_2 를 사용하는데, 질소 소스 가스 : 실리콘 소스 가스의 공급 비율 (유량비)은 1 : 1~20 : 1, 바람직하게는 2 : 1~10 : 1로 조절하는 것이 바람직하다.

<35> 또한, 상기 공정에서 라이너 질화막을 형성하는 단계 이후, 매립산화막을 형성하는 단계 이전에, 라이너 질화막 표면에 열 산화막을 형성시킨 다음 어닐링하는 단계를 더 포함할 수 있다.

<36> 본 발명에서는 또한 전술한 소자분리막 형성방법에 의해 제조된 반도체 소자를 제공한다.

<37> 도 3은 본 발명에 따른 반도체 소자의 소자분리막 형성방법을 설명하기 위한 도면이다.

<38> 반도체 기판(110) 상에 열 산화에 의해 제1 산화막(112)을 형성하고, 제1 산화막(112) 상부에 STI 식각시 하드 마스크로 사용되는 패드 질화막(114)을 형성한다 (도 3a 참조).

<39> 그 후, 상기 패드 질화막(114)을 선택 식각한 후, 질화막 패턴을 하드마스크로 반도체 기판(110)을 식각하여 소자 분리 영역으로 예정된 부위에 트랜치를 형성하고 (도 3b 참조), 식각된 반도체 기판(110)의 식각 대미지를 제거하기 위하여 열 산화를 수행하여 제2 산화막(116)을 형성한다 (도 3c 참조).

<40> 그런 다음, NH_3 분위기 하에서 어닐링 처리하여 제2 산화막(116) 표면에 산화질화막(120)을 형성시키고, (도 3d 참조) 상기 결과물 전면에 라이너 질화막(118)을 형성한다 (도 3e 참조).

<41> 이때 상기 라이너 질화막(118) 형성한 다음에, 그 상부에 열 산화막을 형성시킨 다음 (미도시) 어닐링하는 단계를 더 포함할 수 있다.

<42> 상기 결과물 전면에 매립 산화막(122)을 형성하고 평탄화하여 반도체 소자의 소자분리막을 형성한다 (도 3f 참조).

<43> 도 3f에서 볼 수 있는 바와 같이, 본 발명의 공정에 따르면 종래 기술에 의한 소자분리막 형성 공정의 결과도인 도 1e에 비하여 모트 부위 (m2)의 깊이가 훨씬 낮아진다.

<44> 이하 본 발명을 실시예에 의하여 상세히 설명한다. 단 실시예는 발명을 예시하는 것일 뿐 본 발명이 하기 실시예에 의하여 한정되는 것은 아니다.

<45> <비교예> 라이너 질화막 적용시 반도체 소자의 수명 측정

<46> 조건을 달리한 반도체 소자의 소자분리막 형성에 따른 수명 측정 실험 결과를 도 2에 나타내었다. 도 2에 따르면 본 발명에 따른 NH_3 어닐링을 수행하지 않고 라이너 질화막을 형성한 경우 (▲) 및 라이너 질화막을 형성하지 않은 경우 (□)의 수명을 비교한 결과, $V_d = 2.5$ V에서, 라이너가 없는 경우의 수명이 7000년에서 라이너를 적용한 경우 190년으로 감소하였고, $V_d = 2.7$ V에서, 라이너가 없는 경우의 수명이 450년에서 라이너를 적용한 경우 20년으로 감소하였음을 볼 수 있다.

<47> 즉, 라이너 질화막을 적용한 경우에는 그렇지 않은 경우에 비하여 반도체 소자의 수명이 크게 감소하는 문제점이 있음을 알 수 있다.

<48> 실시예 1. NH_3 처리 적용 여부에 따른 리프레시 특성 실험

<49> 본 발명의 조건에 따라 NH_3 어닐링을 수행한 다음, 그 상부에 라이너 질화막을 형성하여 소자분리막을 형성한 경우 (A 및 A' 영역) 및 NH_3 어닐링을 수행하지 않고 라이너 질화막을 형성한 경우 (B 영역)의 리프레시 타임을 측정한 결과를 도 4에 나타내었다. 도 4에서 볼 수 있는 바와 같이, 라이너 질화막 적용시 리프레시 특성은 NH_3 어닐링 수행 여부에 따라 열화되지 않는다는 점을 알 수 있었다.

<50> 실시예 2. 라이너 질화막 적용시 NH_3 처리 적용 여부에 따른 누설 저류 측정

<51> 반도체 소자의 소자분리막 형성시 ① NH_3 어닐링을 수행하지 않고 라이너 질화막을 적용한 경우 (▲)와, ② 라이너 질화막을 형성하지 않은 경우 (■) 및 ③ NH_3 어닐링을 수행한 다음 라이너 질화막을 적용한 경우 (■)에 대하여 $V_d=4.8V$, $V_g=\text{Gate Current Max}$, 2000sec의 스트레스 조건으로 스트레스를 인가한 경우; 및 상기 ①, ②, ③의 조건

으로 형성된 소자분리막에 스트레스를 인가하지 않은 경우 ()의 누설 전류를 측정한 결과를 도 5에 나타내었다.

<52> 그 결과 스트레스를 인가하지 않은 경우의 값은 상기 ①, ②, ③ 모두 동일하였고, 스트레스를 인가한 경우에는 ①의 경우의 누설 전류값이 가장 크고, ② 및 ③의 경우는 거의 동일한 누설 전류값을 보임을 알 수 있었다.

【발명의 효과】

<53> 이상에서 살펴본 바와 같이, 본 발명에서는 반도체 소자의 소자분리막 형성 공정 중 트랜치 측벽에 열 산화막을 증착한 다음 라이너 질화막을 증착하기에 앞서 NH_3 를 이용한 어닐링 처리를 수행하여 상기 산화막과 라이너 질화막 사이의 계면 특성을 개선시킴으로써 리프레시 특성에 영향을 미치지 않으면서 라이너 질화막 형성시 발생하는 문제점인 누설 전류를 감소시킬 수 있었다. 따라서 본 발명의 방법에 따르면 소자분리막 형성에서 기인하는 소자의 열화를 방지할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 패드 산화막과 질화막을 차례로 형성하는 단계와,

상기 질화막을 선택 식각한 후, 질화막 패턴을 하드 마스크로 반도체 기판을 식각

하여 소자 분리 영역으로 예정된 부위에 트랜치를 형성하는 단계와,

상기 트랜치의 표면에 열 산화막을 형성하는 단계와,

상기 결과물을 NH_3 분위기 하에서 어닐링 (annealing) 처리하여 상기 열 산화막 표면에 산화질화막을 형성하는 단계와,

상기 결과물 전면에 라이너 질화막을 형성하는 단계와,

상기 결과물 전면에 매립 산화막을 형성하는 단계와,

상기 결과물을 평탄화하는 단계를 포함하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

【청구항 2】

제 1 항에 있어서,

상기 어닐링은 플라즈마 NH_3 나이트리데이션(nitridation) 또는 열(thermal) NH_3 나이트리데이션인 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

【청구항 3】

제 1 항에 있어서,

상기 NH_3 어닐링은 600~900°C 온도 범위에서 수행하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

【청구항 4】

제 1 항에 있어서,

상기 NH_3 어닐링은 5 mTorr~200 Torr 압력 하에서 수행하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

【청구항 5】

제 1 항에 있어서,

상기 NH_3 처리 및 라이너 질화막 증착 공정은 인시튜 (in-situ), 인챔버 (in-chamber) 또는 클러스터 (cluster) 상태에서 수행되는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

【청구항 6】

제 1 항에 있어서,

라이너 질화막 증착 공정은 LPCVD 확산로 (furnace) 또는 LPCVD 단일 챔버 (single chamber) 내에서 진행하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

【청구항 7】

제 6 항에 있어서,

상기 라이너 질화막 증착 공정은 600~900°C 온도 범위에서 수행하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

【청구항 8】

제 6 항에 있어서,

상기 라이너 질화막 증착 공정은 0.1~10 Torr 압력 하에서 수행하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

【청구항 9】

제 6 항에 있어서,

상기 라이너 질화막 증착 공정은, 실리콘 소스 가스로서 SiH_4 , SiCl_4 및 SiH_2Cl_2 로 이루어진 군에서 선택된 하나 이상의 가스를 사용하고, 질소 소스 가스로서 NH_3 또는 N_2 를 사용하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

【청구항 10】

제 9 항에 있어서,

상기 질소 소스 가스 : 실리콘 소스 가스의 공급 비율은 1 : 1~20 : 1인 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

【청구항 11】

제 1 항에 있어서,

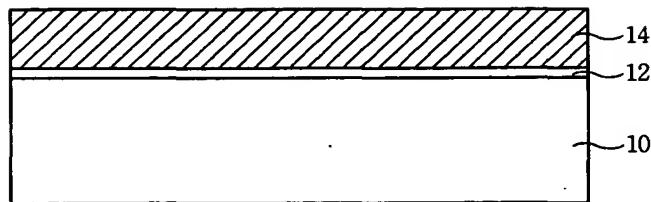
라이너 질화막을 형성하는 단계 이후, 매립산화막을 형성하는 단계 이전에, 라이너 질화막 표면에 열 산화막을 형성시킨 다음 어닐링하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

【청구항 12】

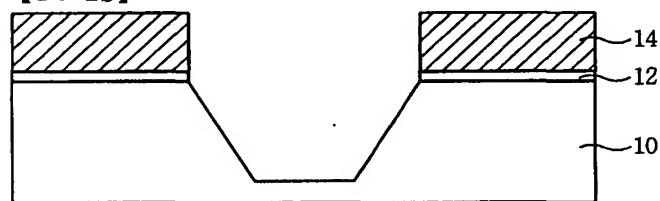
제 1 항 기재의 방법에 의해 제조된 반도체 소자.

【도면】

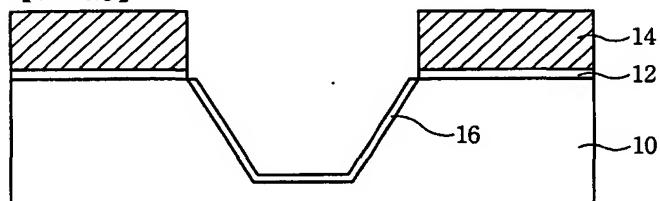
【도 1a】



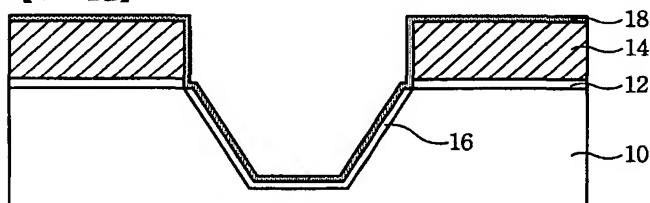
【도 1b】



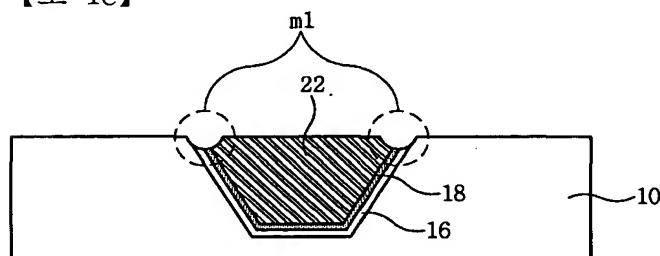
【도 1c】



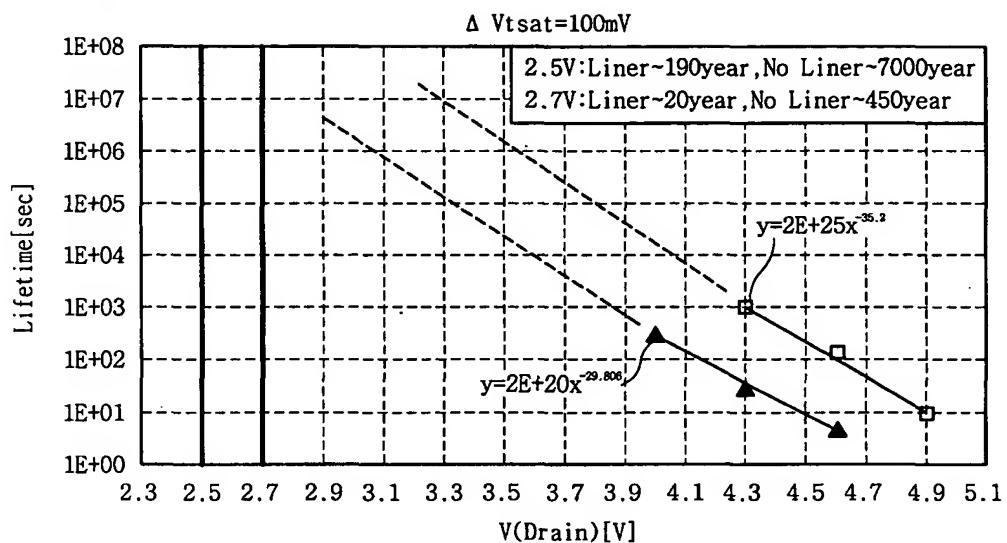
【도 1d】



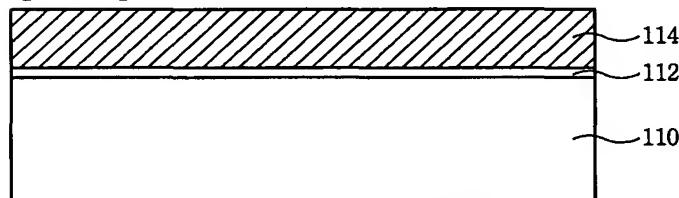
【도 1e】



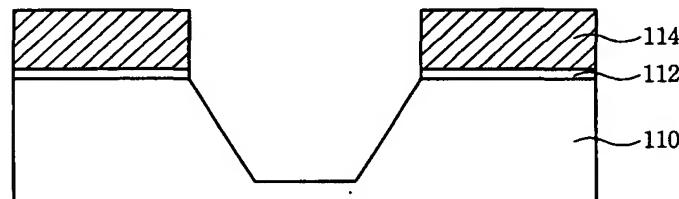
【도 2】



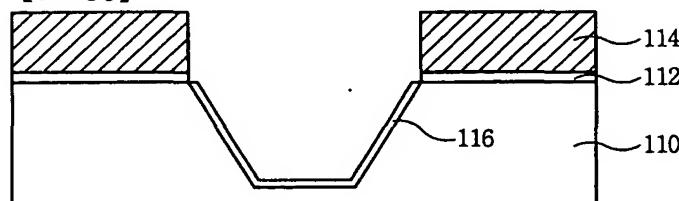
【도 3a】



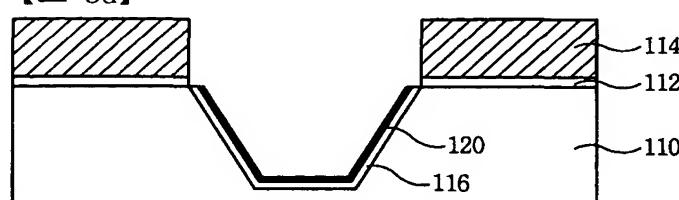
【도 3b】



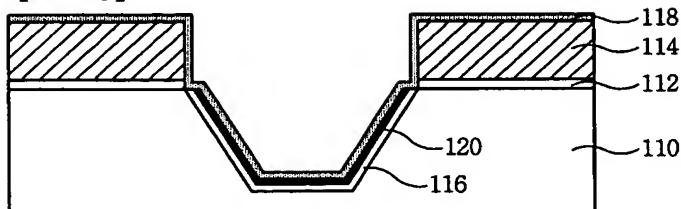
【도 3c】



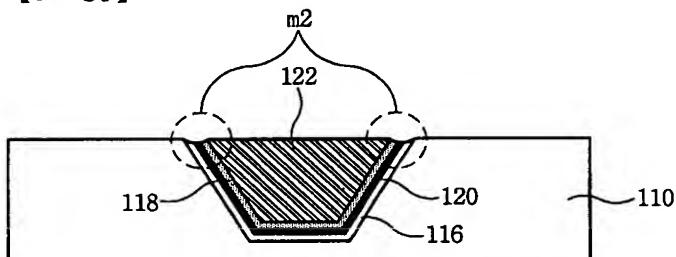
【도 3d】



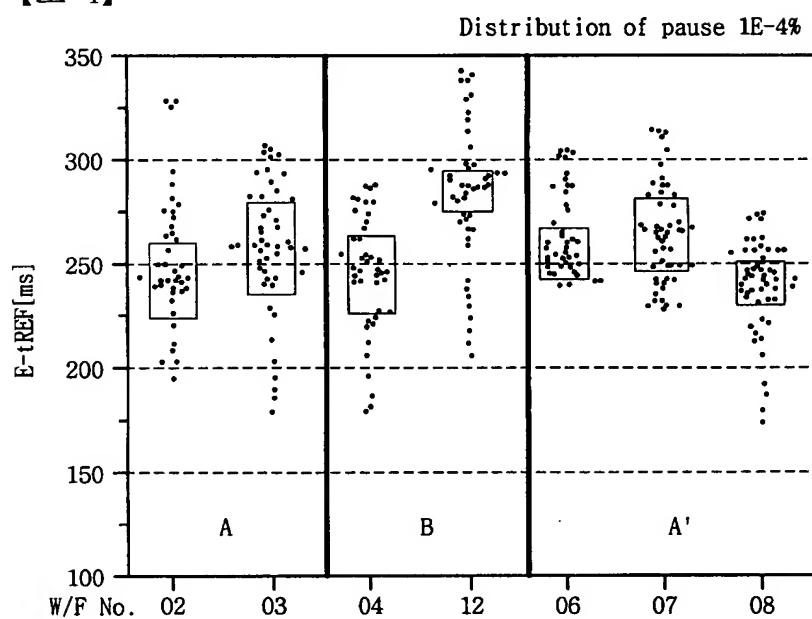
【도 3e】



【도 3f】



【도 4】



【도 5】

